

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2006/301489

International filing date: 30 January 2006 (30.01.2006)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2005-034881
Filing date: 10 February 2005 (10.02.2005)

Date of receipt at the International Bureau: 22 March 2006 (22.03.2006)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

24.02.2006

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 5 年 2 月 1 0 日

出 願 番 号
Application Number: 特 願 2 0 0 5 - 0 3 4 8 8 1

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

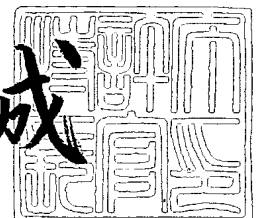
J P 2 0 0 5 - 0 3 4 8 8 1

出 願 人
Applicant(s): サンケン電気株式会社

2 0 0 5 年 1 2 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

中 嶋 誠



出証番号 出証特 2 0 0 5 - 3 1 0 0 8 1 0

【書類名】 特許願
【整理番号】 A0419
【提出日】 平成17年 2月10日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/78
【発明者】
 【住所又は居所】 埼玉県新座市北野 3 丁目 6 番 3 号 サンケン電気株式会社内
 【氏名】 鳥居 克行
【特許出願人】
 【識別番号】 000106276
 【氏名又は名称】 サンケン電気株式会社
【代理人】
 【識別番号】 100095407
 【弁理士】
 【氏名又は名称】 木村 満
【選任した代理人】
 【識別番号】 100109449
 【弁理士】
 【氏名又は名称】 毛受 隆典
【手数料の表示】
 【予納台帳番号】 038380
 【納付金額】 16,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0017501

【書類名】 特許請求の範囲**【請求項 1】**

第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域の表面領域に形成された第 2 導電型の第 2 半導体領域と、前記第 2 半導体領域の表面領域に形成された第 1 導電型の第 3 半導体領域と、を備える半導体基体と、

前記第 1 半導体領域と前記第 3 半導体領域に挟まれた前記第 2 半導体領域上に形成される第 1 の電極と、を備える半導体素子であって、

前記半導体基体の中心側に、前記第 3 半導体領域が前記第 2 半導体領域に対して第 1 の割合で占める第 1 の領域が形成されており、

前記半導体基体の外周側には、前記第 3 半導体領域が前記第 2 半導体領域に対して前記第 1 の割合よりも大きい第 2 の割合で占める第 2 の領域が、前記第 1 の領域を包囲するように環状に形成されていることを特徴とする半導体素子。

【請求項 2】

前記第 3 半導体領域は複数であり、相互に離間して形成されることを特徴とする請求項 1 に記載の半導体素子。

【請求項 3】

前記第 2 半導体領域は帯状に形成されることを特徴とする請求項 1 又は 2 に記載の半導体素子。

【請求項 4】

前記第 2 半導体領域は複数であり、互いに離間し且つ並んで形成されることを特徴とする請求項 3 に記載の半導体素子。

【請求項 5】

前記第 2 半導体領域の不純物濃度は、前記半導体基体の中心部で相対的に高く、周辺部で相対的に低いことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体素子。

【請求項 6】

前記第 1 の電極は、絶縁膜を介して前記第 2 半導体領域上に形成されており、該絶縁膜の膜厚は、前記半導体基体の中心部で相対的に厚く、周辺部で相対的に薄いことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体素子。

【書類名】明細書

【発明の名称】半導体素子

【技術分野】

【0001】

本発明は、絶縁ゲート構造を有する絶縁ゲート型半導体素子に関する。

【背景技術】

【0002】

従来、絶縁ゲート型バイポーラトランジスタ（Insulated Gate Bipolar Transistor；以下、IGBT）は、電界効果トランジスタの高い入力インピーダンスと、バイポーラトランジスタの高い電流ドライブ能力とを備え、特に、電力用スイッチング素子として好適に用いられる。

【0003】

この種の半導体素子においては、熱暴走による半導体素子の破壊等を防止するため放熱性を向上させる必要がある。そこで、半導体素子は放熱板を兼ねる支持板（ヒートシンク）に半田等を介して固着されている。半導体素子から発生する熱は、半導体素子表面及び半田等を介して放熱板から外部に放出される。

【0004】

しかし、特に電力用半導体素子は、電流容量の増大を図るため、単一の半導体基板上に帯状又は島状に多数の半導体動作領域が形成されている。結果として、半導体素子の中心部は、半導体素子周辺部から発せられる熱が加わり、放熱性を良好に得ることができない。

【0005】

そこで、特許文献1に開示されているように、半導体素子の中心部分に設けられたゲートバスライン付近のエミッタ領域を間欠的に形成した半導体素子が開発されている。

【特許文献1】特開2004-228553号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

特許文献1に開示された半導体素子のゲートバスライン付近のエミッタ領域は間欠的に設けられているため、半導体素子中心部分に大電流が流れることは防止される。しかし、半導体素子中心部に周辺部で生じた熱が伝わることは改善されないため、動作環境によって熱暴走を起こす可能性がある。

【0007】

本発明は上記実情に鑑みてなされたものであり、発熱による熱暴走を起こし難い半導体素子を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するため、本発明の第1の観点に係る半導体素子は、

第1導電型の第1半導体領域と、前記第1半導体領域の表面領域に形成された第2導電型の第2半導体領域と、前記第2半導体領域の表面領域に形成された第1導電型の第3半導体領域と、を備える半導体基体と、

前記第1半導体領域と前記第3半導体領域に挟まれた前記第2半導体領域上に形成される第1の電極と、を備える半導体素子であって、

前記半導体基体の中心側に、前記第3半導体領域が前記第2半導体領域に対して第1の割合で占める第1の領域が形成されており、

前記半導体基体の外周側には、前記第3半導体領域が前記第2半導体領域に対して前記第1の割合よりも大きい第2の割合で占める第2の領域が、前記第1の領域を包囲するように環状に形成されていることを特徴とする。

【0009】

前記第3半導体領域は複数であり、相互に離間して形成されてもよい。

【0010】

前記第2半導体領域は帯状に形成されてもよい。

【0011】

前記第2半導体領域は複数であり、互いに離間し且つ並んで形成されてもよい。

【0012】

前記第2半導体領域の不純物濃度は、前記半導体基体の中心部で相対的に高く、周辺部で相対的に低くてもよい。

【0013】

前記第1の電極は、絶縁膜を介して前記第2半導体領域上に形成されており、該絶縁膜の膜厚は、前記半導体基体の中心部で相対的に厚く、周辺部で相対的に薄くてもよい。

【発明の効果】

【0014】

本発明によれば、エミッタ領域のベース領域に占める面積の割合を半導体素子の中心部と、これを包囲する周辺部で変化させることによって、発熱による熱暴走を起こし難い半導体素子を提供することができる。

【発明を実施するための最良の形態】

【0015】

本発明の実施の形態に係る半導体素子について図を用いて説明する。

本実施の形態では、半導体素子としてIGBT (Insulated Gate Bipolar Transistor; 以下、IGBT) を用いた場合を例に挙げて説明する。

【0016】

本発明の実施の形態に係る半導体素子10を図1～図4に示す。図1は半導体素子10を示す平面図である。図2は、図1に示す半導体素子10の一点鎖線で囲んだ領域10aを示す平面図である。図3は、図1に示す半導体素子10の一点鎖線で囲んだ領域10bを示す平面図である。図4は、図2に示す半導体素子10のX-X'断面図である。なお、N⁺型エミッタ領域14の配置の説明を容易にするため、図1では後述するエミッタ電極31と、ゲート電極33と、層間絶縁膜35とを省略しており、また、図2及び図3とは異なりN⁺型エミッタ領域14の形状を長方形に図示している。図2及び図3では、後述するエミッタ電極31を省略している。

【0017】

半導体素子10は、図1～図4に示すように、半導体基体21と、エミッタ電極31と、コレクタ電極32と、ゲート電極33と、ゲート絶縁膜34と、層間絶縁膜35と、を備える。半導体基体21は、N⁻型ベース領域11と、P⁺型コレクタ領域12と、P型ベース領域13と、N⁺型エミッタ領域14と、N型バッファ領域15と、を備える。

【0018】

N⁻型ベース領域11は、例えばリン等のN型（第1導電型）の不純物が拡散されたN型半導体領域から形成される。N⁻型ベース領域11は、例えば、45 μ m程度の厚さ、 2×10^{14} cm⁻³程度の不純物濃度で形成される。

【0019】

P⁺型コレクタ領域12は、例えばボロン等のP型（第2導電型）の不純物が拡散されたP型半導体領域から構成され、図4に示すようにN型バッファ領域15の下面に形成される。P⁺型コレクタ領域12の下面には、コレクタ電極32が形成されている。P⁺型コレクタ領域12は、半導体素子10の動作時にN⁻型ベース領域11内にホール（正孔）を注入し伝導度変調をもたらす。P⁺型コレクタ領域12は例えば200 μ m程度の厚さで形成され、P⁺型コレクタ領域12のP型不純物濃度は、P型ベース領域13の不純物濃度より高く、例えば 4×10^{18} cm⁻³程度の不純物濃度で形成されている。

【0020】

P型ベース領域13は、P型の不純物が拡散されたP型半導体領域から構成され、図4に示すようにN⁻型ベース領域11の表面領域に形成される。P型ベース領域13は図1に示すように帯状に形成されており、相互に離間し、並んで形成される。N⁻型ベース領

域 11 と N^+ 型エミッタ領域 14 との間の P 型ベース領域 13 上には、ゲート絶縁膜 34 を介してゲート電極 33 が形成されている。ゲート電極 33 にしきい値電圧以上の電圧が印加されると、P 型ベース領域 13 内にチャネルが形成される。P 型ベース領域 13 は、例えば $3\mu\text{m}$ 程度の厚さで形成されており、P 型ベース領域 13 の P 型不純物濃度は、 P^+ 型コレクタ領域 12 の不純物濃度より低く、例えば、 $2 \times 10^{17} \text{ cm}^{-3}$ 程度の不純物濃度で形成されている。

【0021】

N^+ 型エミッタ領域 14 は、N 型の不純物が拡散された N 型半導体領域から構成され、P 型ベース領域 13 の表面領域に形成される。図 4 に示すように N^+ 型エミッタ領域 14 の上面に、エミッタ電極 31 が形成される。 N^+ 型エミッタ領域 14 は、例えば $0.5\mu\text{m}$ 程度の厚さで形成されており、 N^+ 型エミッタ領域 14 の N 型不純物濃度は N^- 型ベース領域 11 より高く、例えば $5 \times 10^{19} \text{ cm}^{-3}$ 程度の不純物濃度で形成される。

【0022】

また、半導体基体 21 の中心部で N^+ 型エミッタ領域 14 が P 型ベース領域 13 に占める面積の割合は、中心部を包囲する周辺部で N^+ 型エミッタ領域 14 が P 型ベース領域 13 に占める面積の割合と比較して小さくなるように形成される。

【0023】

具体的には、例えば半導体素子 10 の中心部は、図 2 に示すようにゲート電極 33、層間絶縁膜 35 下の N^+ 型エミッタ領域 14 の幅 $T_e 1$ が $3\mu\text{m}$ 、エミッタ電極 31 下の N^+ 型エミッタ領域 14 の幅 $T_e 2$ が $4.5\mu\text{m}$ 、層間絶縁膜 35 下の隣り合うエミッタ領域の間隔 $D_e 1$ が $12\mu\text{m}$ 、エミッタ電極 31 下の隣り合う N^+ 型エミッタ領域 14 の間隔 $D_e 2$ が $10.5\mu\text{m}$ となるように形成されている。

【0024】

一方、半導体素子 10 の周辺部は、図 3 に示すように層間絶縁膜 35 下の N^+ 型エミッタ領域 14 の幅 $T_e 1'$ が $6\mu\text{m}$ 、エミッタ電極 31 下の N^+ 型エミッタ領域 14 の幅 $T_e 2$ が $4.5\mu\text{m}$ 、層間絶縁膜 35 下の隣り合う N^+ 型エミッタ領域 14 の間隔 $D_e 1'$ が $9\mu\text{m}$ 、エミッタ電極 31 下の隣り合う N^+ 型エミッタ領域 14 の間隔 $D_e 2$ が $10.5\mu\text{m}$ となるように形成されている。

【0025】

ここで N^+ 型エミッタ領域 14 の面積の違いを説明するため、隣り合う N^+ 型エミッタ領域 14 間の距離を、 N^+ 型エミッタ領域 14 の幅と隣り合う N^+ 型エミッタ領域 14 間の距離との合計で割って算出したエミッタ間引き率を便宜的に用いる。本実施の形態ではエミッタ電極 31 下の N^+ 型エミッタ領域 14 の幅は、等しく形成されるため、層間絶縁膜 35 下の N^+ 型エミッタ領域 14 の幅、隣り合う N^+ 型エミッタ領域 14 間の幅を利用する。

【0026】

具体的には、図 2 に示す半導体素子 10 の中心部では N^+ 型エミッタ領域 14 の幅 $T_e 1$ は、 $3\mu\text{m}$ 、 N^+ 型エミッタ領域 14 の離間する幅 $D_e 1$ は $12\mu\text{m}$ であるため、エミッタ間引き率は 80% となる。一方、図 3 に示す半導体素子 10 の周辺部では、 N^+ 型エミッタ領域 14 の幅 $T_e 1'$ は $6\mu\text{m}$ 、 N^+ 型エミッタ領域 14 の離間する幅 $D_e 1'$ は $9\mu\text{m}$ であるため、エミッタ間引き率は 60% となる。従って、本実施の形態の半導体素子 10 はエミッタ間引き率を用いて表現すると、中心部でエミッタ間引き率が 80%、周辺部でエミッタ間引き率が 60% となるように形成される。

【0027】

N 型バッファ領域 15 は、N 型の不純物が拡散された N 型半導体領域から構成され、 P^+ 型コレクタ領域 12 の上面に形成される。N 型バッファ領域 15 は、 N^- 型ベース領域 11 への正孔の注入を抑制する。

【0028】

エミッタ電極 31 は、アルミニウム等から構成され、 N^+ 型エミッタ領域 14 等の上面に形成される。エミッタ電極 31 と、ゲート電極 33 は、シリコン系膜等の層間絶縁膜 3

5で絶縁されている。図2及び3に示すように隣り合う層間絶縁膜35の間隔は $5\mu\text{m}$ である。

【0029】

コレクタ電極32は、アルミニウム等から構成され、図4に示すように P^+ 型コレクタ領域12の下面に形成される。

【0030】

ゲート電極33は、ポリシリコン等から構成され、図4に示すように N^- 型ベース領域11と N^+ 型エミッタ領域14との間のP型ベース領域13上にシリコン系膜等のゲート絶縁膜34を介して配置されている。ゲート電極33の幅 T_g は、図2及び3に示すように $26\mu\text{m}$ である。隣り合うゲート電極33の幅 D_g は、 $8\mu\text{m}$ である。

【0031】

以上の構成を採る半導体素子10のゲート電極33に電圧が印加されると、電界が生じ空乏層がゲート絶縁膜34下のP型ベース領域13の表面領域に形成される。印加される電圧がしきい値電圧以上になると、P型ベース領域13の表面領域に反転層（チャンネル）が形成される。この結果、 N^+ 型エミッタ領域14からチャンネルを介してN型ベース領域11に電子が注入され、また P^+ 型コレクタ領域12からN型ベース領域11に正孔が注入される。そして N^+ 型エミッタ領域14と P^+ 型コレクタ領域12との間にチャンネルとN型ベース領域11を介して電流が流れ、半導体素子10はオン状態となる。

【0032】

本実施の形態の半導体素子10は、半導体素子10の中心部において N^+ 型エミッタ領域14がP型ベース領域13に占める面積の割合が、周辺部において N^+ 型エミッタ領域14がP型ベース領域13に占める面積の割合より小さくなるように形成される。従って、半導体素子10がオン状態である際、半導体素子10の中心部で流れる電流は周辺部と比較して少なく、中心部で発生する熱は周辺部と比較して少なくなる。結果として、半導体素子10の中心部は、中心部で発生する熱そのものに加えて周辺部で発生する熱が伝達した場合であっても熱暴走を起こしにくくなる。

【0033】

例えば、半導体素子の周辺部のエミッタ間引き率を60%とし、中心部のエミッタ間引き率を60%、80%、100%と変化させた場合の、半導体素子の半導体基体の温度分布を図6(a)～(c)に示す。

【0034】

エミッタ間引き率60%の場合（間引き率変化なし）、図6(a)に示すように、半導体素子の中心部で発生する熱に加えて、周辺部から発生する熱が加わるため半導体素子の中心部は良好に放熱がなされず、半導体素子周辺から中心に向かって温度が高くなる。この場合、半導体素子の中心部で熱暴走が起こりやすくなる。

【0035】

一方、エミッタ間引き率100%の場合、図6(c)に示すように、半導体素子中心部で発生する熱はないため、半導体素子中心部に熱が集中することではなく、半導体素子周辺部のみ温度が高くなる。しかし、エミッタ間引き率100%の半導体素子は、エミッタ間引き率60%や80%の場合と同様の電流容量を確保するため、周辺部のエミッタ領域の面積の割合をエミッタ間引き率60%の場合と比較して広く形成する必要があるため、特に周辺部の発熱が高くなる。

【0036】

これに対し、エミッタ間引き率80%の場合、図6(b)に示すように、半導体素子周辺部から中心へ向かって温度は高くなる。しかし半導体素子中心部で発生する熱が少ないため、周辺部から熱が伝達しても中心部が特に突出して高くなることはない。従って、半導体素子10の中心部に熱が集中することではなく、半導体素子10が熱暴走することを抑制できる。

【0037】

また、本実施の形態の半導体素子は、特に熱の集中する中心部のみ N^+ 型エミッタ領域

14のP型ベース領域13に占める面積の割合を減らすため、熱の集中しない周辺部の電流量は確保され、半導体素子10全体の電流容量の減少を低く抑えることが可能である。

【0038】

本発明の半導体素子10は従来の組込構造、例えば図5に示すように半導体素子が二層構造となっている場合に特に有用である。例えば、図5に示すように、本実施の形態に係る半導体素子10の上に半導体素子50が設置されている場合である。半導体素子10と半導体素子50の間には、アルミニウム膜等から形成される表面電極51及び裏面電極52と、例えば二酸化ケイ素(SiO_2)等から形成される保護膜53と、半田付け電極54と、チップ接合剤55とが形成されている。半導体素子50は、半導体素子10の中央側、すなわち N^+ 型エミッタ領域14のP型ベース領域13に占める面積の割合が小さい第1の領域の上面に配置される。

【0039】

このような組立構造では、上に搭載された半導体素子50から発せられる熱が、裏面電極52、チップ接合材55、半田付け電極54、表面電極51を通じて半導体素子10の中心部に伝わる。このため、半導体素子10自体から発せられる熱と半導体素子50から伝達される熱とが合わさり、半導体素子10は単独で動作している場合と比較して熱暴走を起こしやすくなる。

【0040】

本発明の半導体素子10は、素子中心部のエミッタ領域のベース領域に占める面積の割合を減少させ、この上面に半導体素子50を配置させることによって、半導体素子10の中心部に熱が集中することを抑制でき、熱暴走を良好に防止することができる。

【0041】

本発明によれば、半導体素子の放熱性を高めるだけでなく、さらに発熱や放熱と密接な関係を持つF-A-S-O等の耐量の向上方法としても有効な手段となりうる。

【0042】

本発明は上述した実施の形態に限られず、様々な修正及び応用が可能である。

例えば、本実施の形態では、IGBTを例に挙げて説明したが、IGBTに限られず、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 等、単位セルを繰り返して配置する半導体素子に適用することが可能である。

【0043】

また、上述した実施の形態では、中心部のエミッタ間引き率を80%、周辺部を60%とする場合を例に挙げて説明したが、これに限られず完成した半導体素子10に求められる性能、動作環境などに応じて間引き率を変化させることが可能である。例えば、中心部のエミッタ間引き率を70%~90%、周辺部を40%~60%とすることが可能である。また、周辺部と中心部の2段階でエミッタ間引き率を変化させるだけでなく、半導体素子の中心部から周辺部にかけて数段階にエミッタ間引き率を変化させる構成を採ることも可能である。

【0044】

上述した実施の形態では、セル単位で素子動作の程度を設定するために、セル間引き率による手法を用いているが、これに限られない。例えば、半導体素子10の中心部の発熱を抑制する、つまり電流量を減少させるためには、半導体素子10の中心部のしきい値電圧を上昇させる構成を採ることも可能である。例えば、半導体素子10の中心部のゲート絶縁膜34を厚くする構成、半導体素子10の中心部のP型ベース領域13の不純物濃度を高くする構成を採ることができる。この場合、半導体素子10に求められる性能、動作環境などから、ゲート絶縁膜34の厚み、P型ベース領域13の濃度を調整する。なお、半導体素子10のエミッタ間引き率を大きくする構成と、ゲート絶縁膜34の厚みを半導体素子10の中心部で厚くする構成と、及びP型ベース領域13の不純物濃度を中心部で高くする構成とを適宜組み合わせることも可能である。

【図面の簡単な説明】

【0045】

【図 1】 本発明の実施の形態に係る半導体素子の構成例を示す平面図である。

【図 2】 本発明の実施の形態に係る半導体素子の中心部の構成例を示す平面図である。

。

【図 3】 本発明の実施の形態に係る半導体素子の周辺部の構成例を示す平面図である。

。

【図 4】 図 2 に示す半導体素子の X - X' 断面図である。

【図 5】 半導体素子を二段に重ねた構造を示す断面図である。

【図 6】 エミッタ間引き率を変化させた場合の半導体基体の温度分布を示す図である。

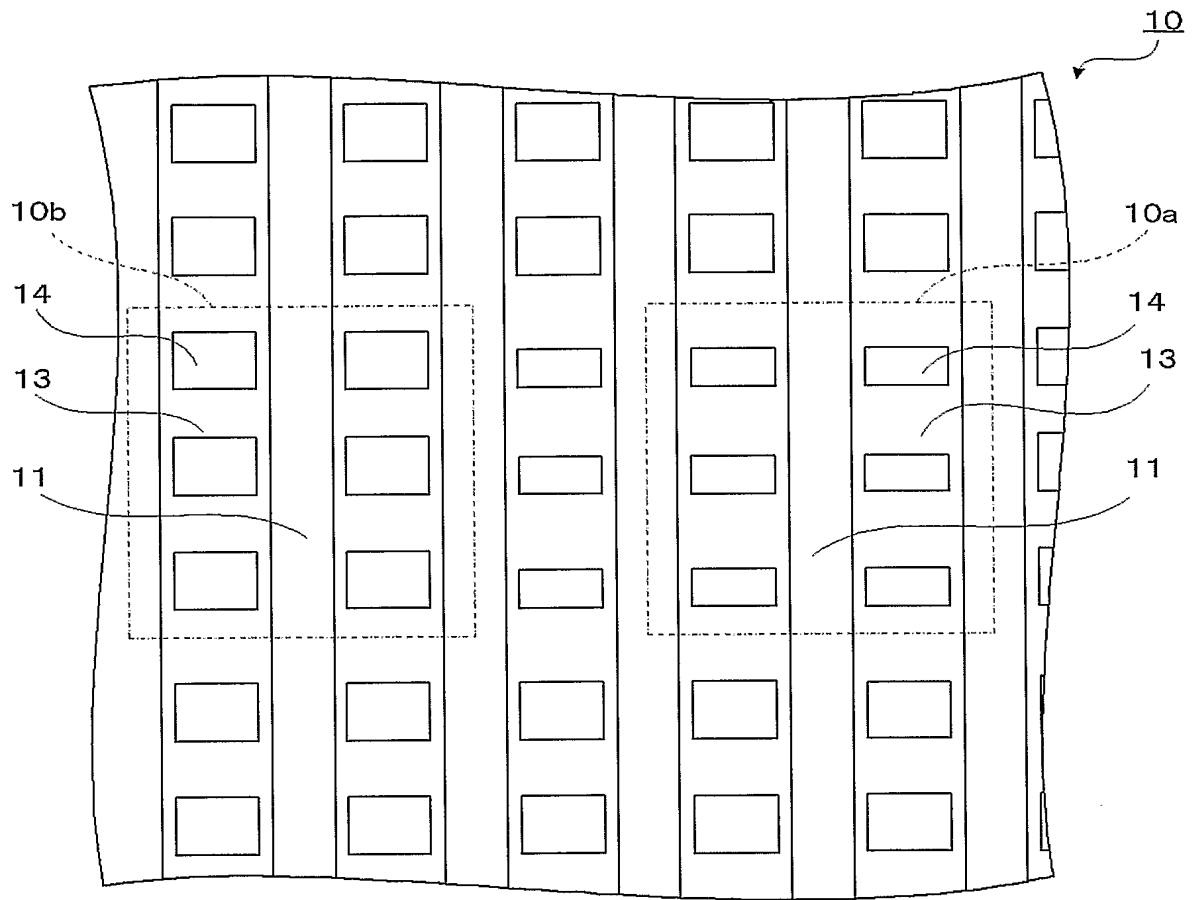
。

【符号の説明】

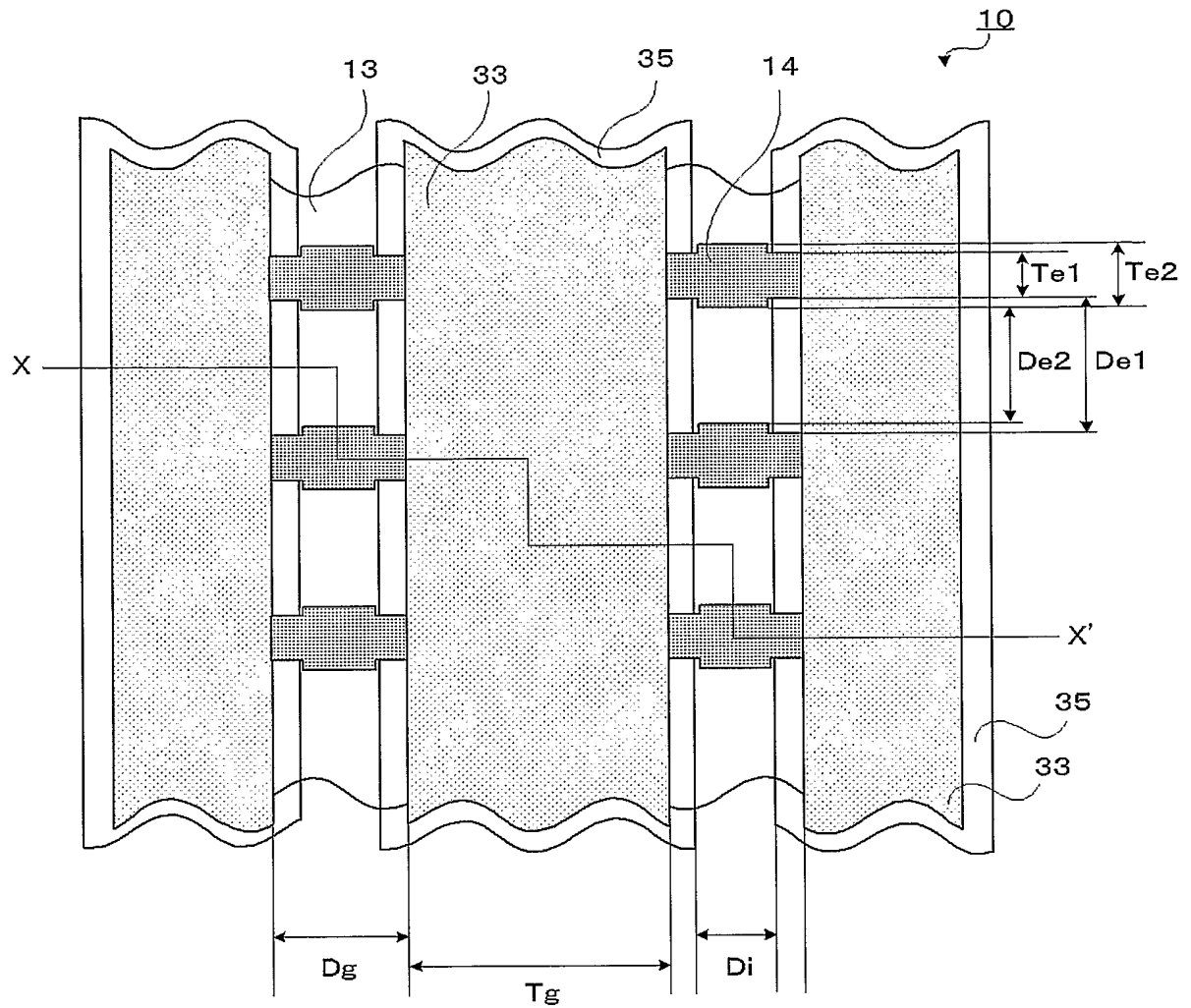
【 0 0 4 6 】

- 1 0 半導体素子
- 1 1 N⁻ 型ベース領域
- 1 2 P⁺ 型コレクタ領域
- 1 3 P 型ベース領域
- 1 4 N⁺ 型エミッタ領域
- 1 5 N 型バッファ領域
- 2 1 半導体基体
- 3 1 エミッタ電極
- 3 2 コレクタ電極
- 3 3 ゲート電極
- 3 4 ゲート絶縁膜
- 3 5 層間絶縁膜

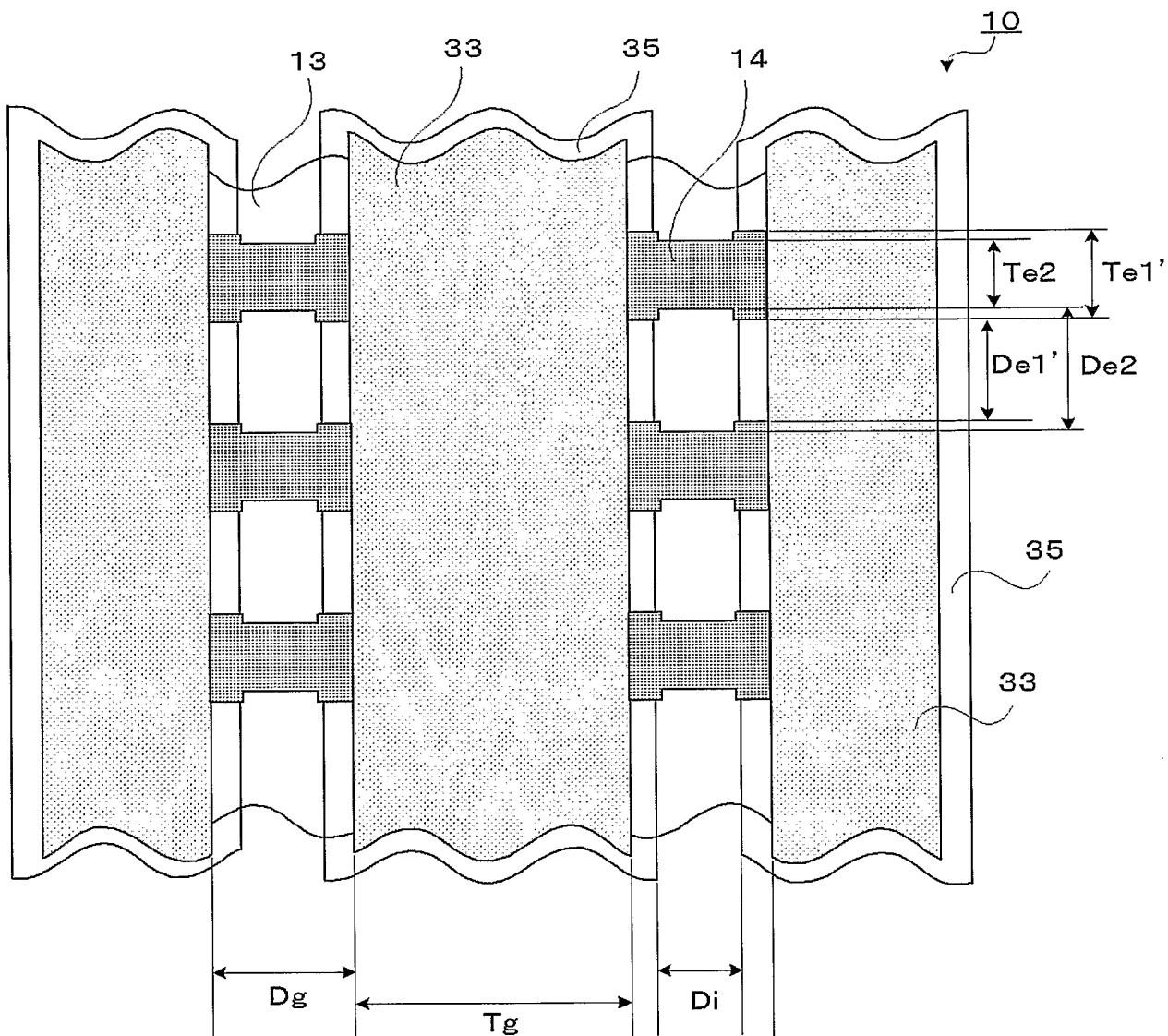
【書類名】 図面
【図 1】



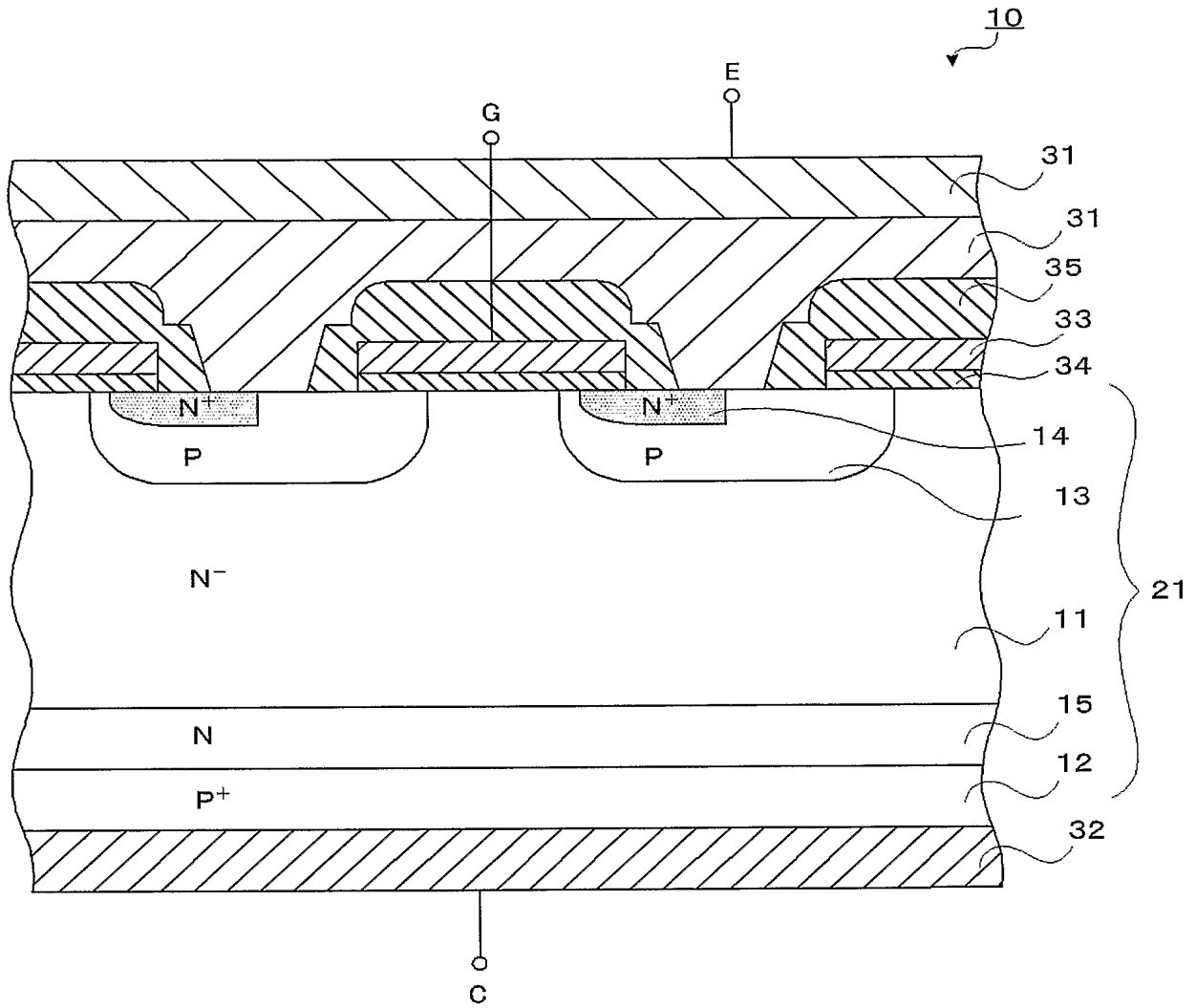
【図 2】



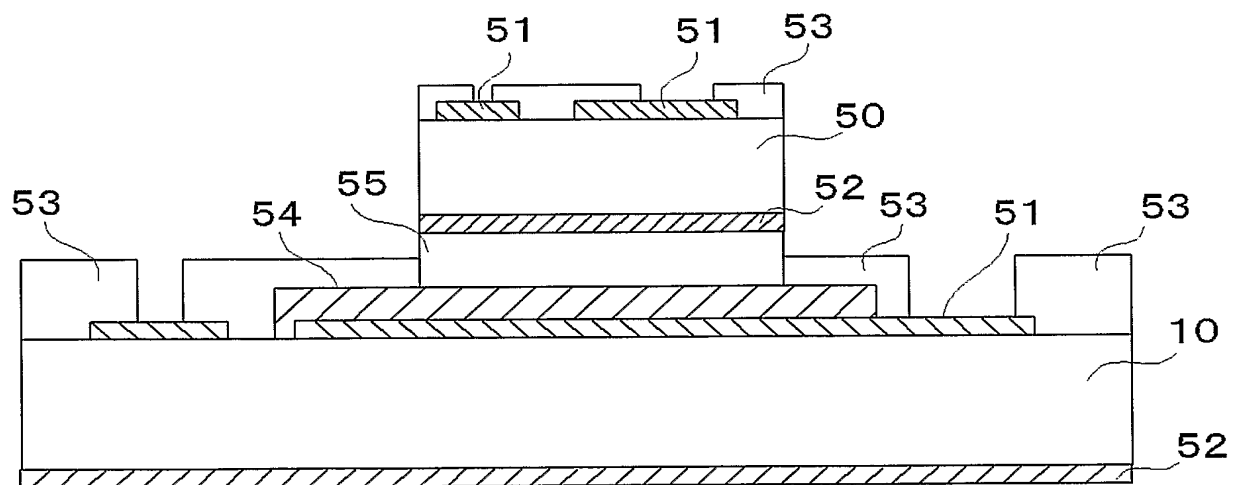
【図 3】



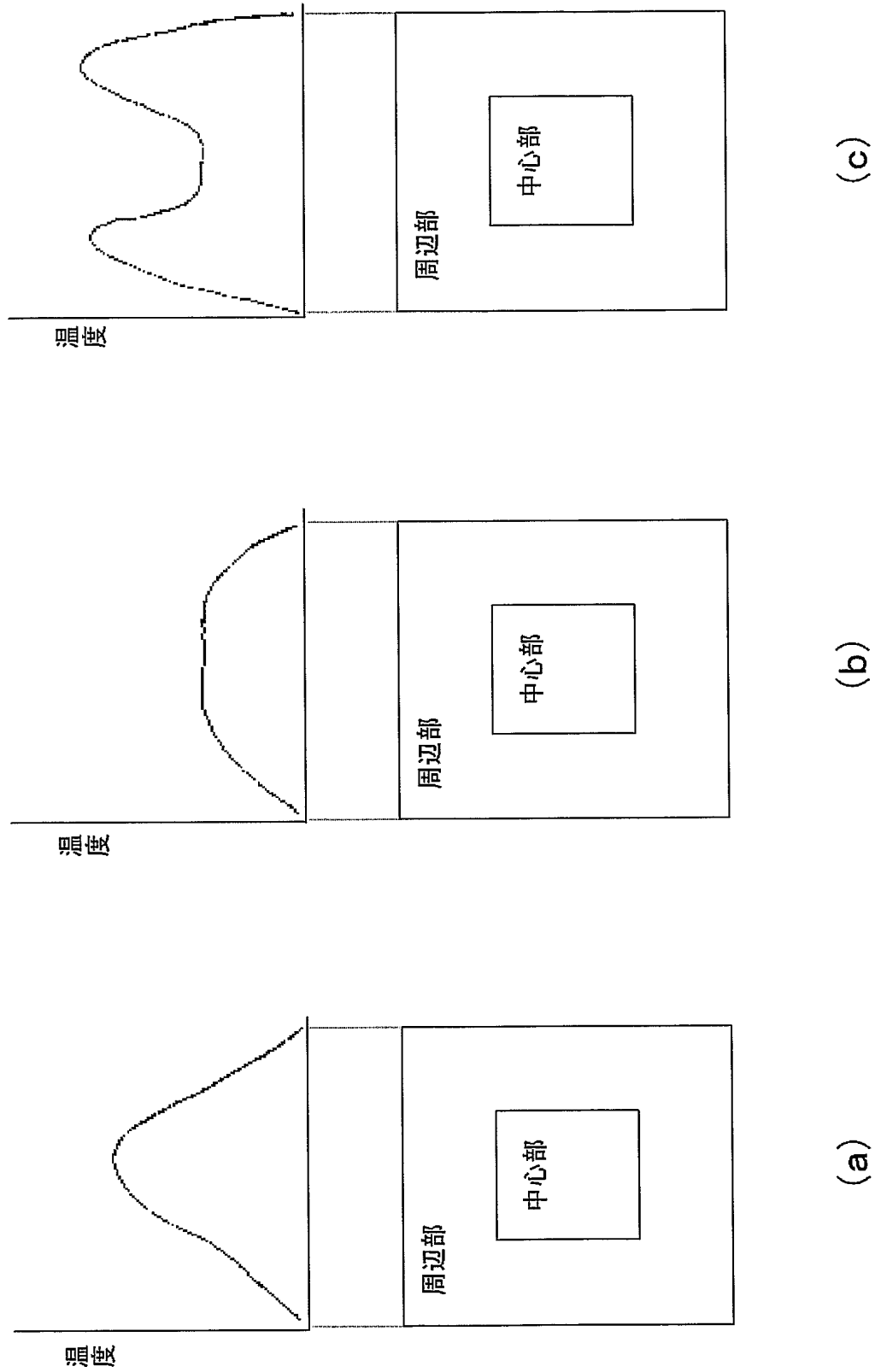
【图 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 発熱による熱暴走を起こし難い半導体素子を提供することを目的とする。

【解決手段】

半導体素子 10 は、 N^- 型ベース領域 11 内に形成された P 型ベース領域 13 と、P 型ベース領域 13 内に相互に離間して複数形成された N^+ 型エミッタ領域 14 を備える。半導体素子 10 の中心部において N^+ 型エミッタ領域 14 が P 型ベース 13 に占める面積の割合は、半導体素子 10 の周辺部で N^+ 型エミッタ領域 14 が P 型ベース 13 に占める面積の割合と比較して小さくなるように N^+ 型エミッタ領域 14 を形成する。

【選択図】 図 1

特願 2 0 0 5 - 0 3 4 8 8 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 0 6 2 7 6]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

埼玉県新座市北野 3 丁目 6 番 3 号

氏 名

サンケン電気株式会社